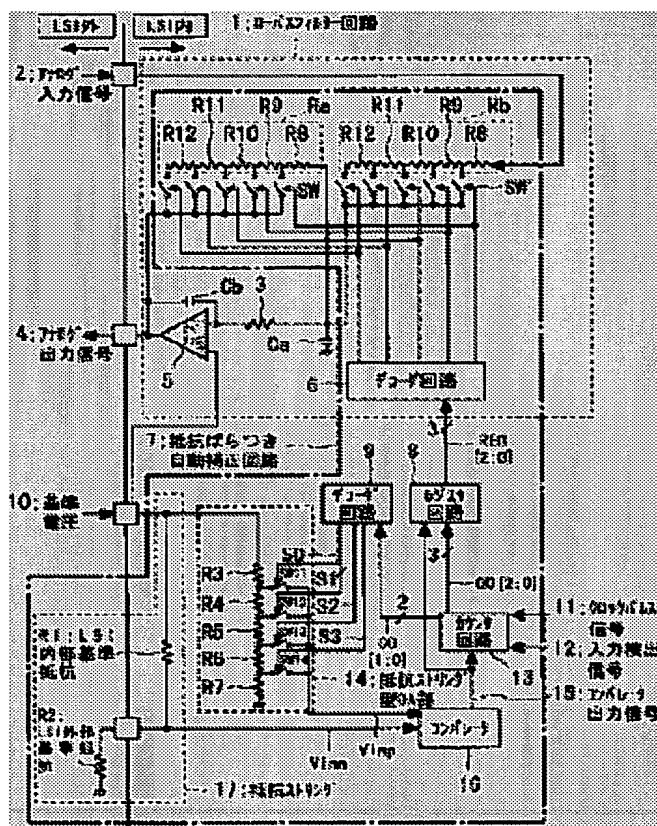


AUTOMATIC CORRECTION CIRCUIT FOR VARIATION IN RESISTANCE AND ITS METHOD

Patent number: JP2001203574
Publication date: 2001-07-27
Inventor: SAITO TATSUTO
Applicant: NIPPON ELECTRIC IC MICROCOMPUT
Classification:
 - international: H03M1/10; H01L27/04; H01L21/822; H03H11/04; H03M1/76
 - european:
Application number: JP20000012752 20000121
Priority number(s): JP20000012752 20000121

Abstract of JP2001203574

PROBLEM TO BE SOLVED: To provide an automatic correction circuit for variation in resistance that can reduce its chip area and eliminate the need for destroying a Zener diode for correcting the variation in the resistance. **SOLUTION:** The automatic correction circuit for variation in resistance is provided with an internal reference resistor R1 and an external reference resistor R2 for an LSI, a digital/analog converter 14 that receives a reference voltage and outputs voltage in response to signals (S0-S3), a comparator 16 that receives an output voltage of the digital/analog converter (V_{inp}) and voltage (V_{inn}) resulting from voltage-dividing the reference voltage with the internal reference resistor and the external reference resistor and compares them, a counter 13 that receives an output signal from the comparator and counts up the signal synchronously with a clock pulse, a decoder 9 that receives the count value and outputs a decoded signal to the digital/analog converter, a register 8 that stores and latches the count value of the counter 13 when the output signal from the comparator is inverted, a decoder 6 that decodes an output of the register 8, and resistor strings Ra, Rb whose switches are ON/OFF- controlled by an output signal of the decoder 6.



Data supplied from the esp@cenet database - Worldwide

Best Available Copy

(51) Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
H 0 3 M 1/10		H 0 3 M 1/10	B 5 F 0 3 8
H 0 1 L 27/04		H 0 3 H 11/04	H 5 J 0 2 2
	21/822	H 0 3 M 1/76	5 J 0 9 8
H 0 3 H 11/04		H 0 1 L 27/04	V
H 0 3 M 1/76			

審査請求 有 請求項の数 11 O L (全 12 頁)

(21) 出願番号 特願2000-12752(P2000-12752)

(22) 出願日 平成12年1月21日 (2000.1.21)

(71) 出願人 000232036

日本電気アイシーマイコンシステム株式会社
神奈川県川崎市中原区小杉町1丁目403番
53

(72) 発明者 齋藤 達人

神奈川県川崎市中原区小杉町一丁目403番
53 日本電気アイシーマイコンシステム株
式会社内

(74) 代理人 100080816

弁理士 加藤 朝道

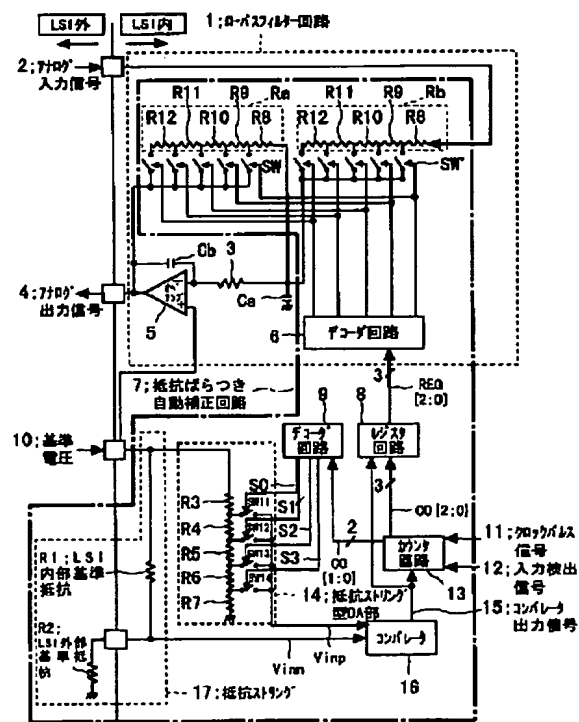
最終頁に続く

(54) 【発明の名称】 抵抗ばらつき自動補正回路及び方法

(57) 【要約】

【課題】チップ面積を削減し、抵抗ばらつき補正のためにツェナーダイオードを破壊する等することを不要とした抵抗ばらつき自動補正回路の提供。

【解決手段】LSIの内部基準抵抗R1と外部基準抵抗R2と、基準電圧を入力し信号(S0~S3)に応じた電圧を出力するDA変換器14と、内部基準抵抗と外部基準抵抗で基準電圧を分圧した電圧(Vinn)とDA出力電圧(Vinp)を入力し比較するコンパレータ16と、コンパレータ出力信号を入力しクロックパルスに同期してカウントアップするカウンタ13と、カウント値を入力してデコードした信号をDA変換器に出力するデコーダ9と、カウンタ13のカウント値とコンパレータ出力信号が反転した時点でカウント値を記憶保持するレジスタ8と、レジスタ8の出力をデコードするデコーダ6と、デコーダ6の出力信号でスイッチがオン・オフ制御される抵抗ストリングR a、R bとを備える。



【特許請求の範囲】

【請求項 1】 アナログ回路を含む半導体装置の抵抗ばらつき自動補正回路において、
半導体装置内部基準抵抗と、半導体装置外部基準抵抗とを用いて前記半導体装置内部抵抗の抵抗値のばらつき量を検出する手段と、

検出された前記半導体装置内部抵抗の抵抗値のばらつき量に基づき、前記アナログ回路に含まれる半導体装置内部の抵抗の抵抗値を自動補正する手段と、を備えたことを特徴とする抵抗ばらつき自動補正回路。

【請求項 2】 スイッチによりタップを選択して抵抗値が可変される抵抗ストリングを備えた半導体装置の抵抗ばらつき自動補正回路において、
半導体装置内部基準抵抗と、半導体装置外部基準抵抗とを用いて前記半導体装置内部抵抗の抵抗値のばらつき量を検出する手段を備え、

検出された前記半導体装置内部抵抗の抵抗値のばらつき量に基づき、前記抵抗ストリングの抵抗の絶対値誤差が最も少なくなるタップ位置のスイッチをオンさせる手段と、を備え、
半導体装置内部の抵抗値を自動補正し、前記抵抗ストリングを含む回路の特性のばらつきを低減する、ことを特徴とする抵抗ばらつき自動補正回路。

【請求項 3】 アナログ回路を搭載した L S I において、
基準電圧入力端子に一端が接続され他端が外部端子に接続された L S I 内部基準抵抗と、
前記外部端子とグランド電位間に外付けで接続される L S I 外部基準抵抗と、

前記基準電圧入力端子に入力される基準電圧 (Vref) を入力し、入力されるデジタルコード信号に応じた電圧を出力するデジタル・アナログ変換器と、

前記 L S I 内部基準抵抗と前記 L S I 外部基準抵抗により前記基準電圧を分圧した基準比較電圧 (Vinn) と、
前記デジタル・アナログ変換器の出力電圧 (Vinp) とを入力しその大小を比較するコンパレータと、
前記コンパレータから出力される比較結果信号を入力し、前記デジタル・アナログ変換器の出力電圧 (Vinp) と前記基準比較電圧 (Vinn) との大小関係を示す前記比較結果信号が第 1 の値を示す状態から第 2 の値に反転するまでの間、入力されるクロックパルス信号をカウントするカウンタ回路と、

前記カウンタ回路のカウント値を入力してデコードした信号を前記デジタル・アナログ変換器に前記デジタルコード信号として供給する第 1 のデコード回路と、
前記カウンタ回路のカウント値と、前記コンパレータから出力される比較結果信号とを入力し、前記比較結果信号の値が前記第 1 の値から前記第 2 の値に反転した時点における前記カウント値を記憶保持するレジスタ回路と、

前記レジスタ回路の出力を入力してデコードする第 2 の

(2)

デコード回路と、

前記第 2 のデコード回路の出力信号で前記スイッチがオン・オフ制御され、オンするスイッチによりタップを選択して抵抗値が可変される抵抗ストリングと、
を備え、

前記抵抗ストリングの抵抗の絶対値誤差が最も少なくなるタップ位置に接続されるスイッチをオンさせることで、前記抵抗ストリングを含む前記アナログ回路の特性のばらつきを低減する、ことを特徴とする抵抗ばらつき自動補正回路。

10

【請求項 4】 前記デジタル・アナログ変換器が、前記基準電圧とグランド電位間に直列形態に接続された複数の抵抗よりなる抵抗ストリングと、
前記抵抗同士の接続点のタップに一端が接続され、他端が共通接続されて前記コンパレータに入力される複数のスイッチと、

を備え、前記各スイッチの制御端子には、前記第 1 のデコード回路から出力されるデコード信号が入力されてオン・オフ制御される、ことを特徴とする請求項 3 記載の抵抗ばらつき自動補正回路。

20

【請求項 5】 前記カウンタ回路が、入力検出信号と、前記コンパレータから出力される比較結果信号と、前記クロックパルス信号を入力とし、これらの信号の論理積演算結果を出力する論理回路と、前記論理回路の出力をカウントするカウンタと、を備え、

前記入力検出信号がアクティブとなった後、前記比較結果信号が前記デジタル・アナログ変換器の出力電圧

(Vinp) が前記基準比較電圧 (Vinn) よりも大の状態を示す値からその値を反転するまでの間、前記カウンタが、入力される前記クロックパルス信号を 1 コードずつカウントアップする構成とされている、ことを特徴とする請求項 3 又は 4 記載の抵抗ばらつき自動補正回路。

【請求項 6】 前記 L S I 外部基準抵抗を、前記アナログ回路で使用される外付け抵抗と共用し、前記外付け抵抗が第 1、第 2 の外部端子間に接続され、

通常動作時にオン状態とされ、前記第 1、第 2 の外部端子を前記アナログ回路の入力端に接続する第 1、第 2 のスイッチと、

ばらつき補正時にオン状態とされ、前記 L S I 内部基準抵抗と前記コンパレータの入力端との接続点を、前記外付け抵抗が接続される前記第 1 の外部端子に接続するように切り替える第 3 のスイッチと、

ばらつき補正時にオン状態とされ、前記第 2 の外部端子をグランド電位に接続する、第 4 のスイッチと、を備えたセレクト回路を備えたことを特徴とする請求項 3 記載の抵抗ばらつき自動補正回路。

【請求項 7】 前記アナログ回路が、低域通過型フィルターよりなり、カットオフ周波数が前記抵抗ストリングの抵抗値と容量値で規定され、L S I 内部抵抗のばらつきを X% としこれを Y% の精度 (但し Y < X) で補正する

50

場合、前記デジタル・アナログ変換器の前記抵抗ストリングのタップ数が、 $X/Y + 1$ の整数部に等しい値に設定される、ことを特徴とする請求項 4 記載の抵抗ばらつき自動補正回路。

【請求項 8】外付け抵抗を有するチップセット構成において、前記外部端子の接続の切り替えを行うセレクト回路を備え、通常の信号処理用の用途と抵抗ばらつき補正用の L S I 外部基準抵抗とを共用する、ことを特徴とする請求項 1 又は 2 記載の抵抗ばらつき自動補正回路。

【請求項 9】前記 L S I 外部基準抵抗を前記アナログ回路で使用される外付け抵抗と共用し、前記外付け抵抗が第 1、第 2 の外部端子間に接続され、

通常動作時にオン状態とされ、前記第 1、第 2 の外部端子を前記アナログ回路の入力端に接続する第 1、第 2 のスイッチと、

ばらつき補正時にオン状態とされ、前記 L S I 内部基準抵抗 (R 1) と前記コンパレータの入力端との接続点を、前記外付け抵抗が接続される前記第 1 の外部端子に接続するように切り替える第 3 のスイッチと、

ばらつき補正時にオン状態とされ、前記第 2 の外部端子をグランド電位に接続する、第 4 のスイッチと、を備えたセレクト回路を備え、

前記アナログ回路が、前記第 1、第 2 の外部端子に接続される第 1 の外付け抵抗と、入力信号と前記第 2 の外部端子間に接続される第 2 の外付け抵抗と、前記第 2 の外部端子に前記第 2 のスイッチを介して反転入力端が接続され、非反転入力端がグランド電位とされ、出力端が前記第 1 のスイッチを介して前記第 1 の外部端子に接続されたアンプと、

前記アンプの出力電圧をアナログ・デジタル変換するアナログ・デジタル変換器と、を備えた音声コーデック送話系回路よりなり、

前記抵抗ストリングが、前記第 2 のデコーダ回路の出力により、スイッチがオン・オフ制御され、オンに設定されたスイッチのタップから、前記基準電圧が印加され、抵抗に流れる電流を、出力電流として取り出して、前記アンプ及び前アナログ・デジタル変換器に供給する定電流源回路と、

を備えたことを特徴とする請求項 3 記載の抵抗ばらつき自動補正回路。

【請求項 10】アナログ回路を含む半導体装置の抵抗ばらつき自動補正方法において、半導体装置内部基準抵抗と、半導体装置外部基準抵抗とを用いて前記半導体装置内部抵抗の抵抗値のばらつき量を検出するステップと、

検出された前記半導体装置内部抵抗の抵抗値のばらつき量に基づき、前記アナログ回路に含まれる半導体装置内部の抵抗の抵抗値を自動補正するステップと、

を含むことを特徴とする抵抗ばらつき自動補正方法。

【請求項 11】抵抗ストリングを備えた半導体装置の抵

抗ばらつき自動補正方法において、

半導体装置内部基準抵抗と、半導体装置外部基準抵抗とを用いて前記半導体装置内部抵抗の抵抗値のばらつき量を検出するステップと、

検出された前記半導体装置内部抵抗の抵抗値のばらつき量に基づき、前記抵抗ストリングの抵抗の絶対値誤差が最も少なくなるタップ位置を選択して該タップに接続されるスイッチをオンさせるステップと、を備え、

半導体装置内部の抵抗値を自動補正し、前記抵抗ストリングを含む回路の特性のばらつきを低減する、ことを特徴とする抵抗ばらつき自動補正方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、集積回路上に作成される抵抗の抵抗値のばらつき補正回路及び方法に関し、特に、抵抗値のばらつきが特性に提供を与えるアナログ回路のばらつき改善に好適とされるばらつき補正回路及び方法に関する。

【0002】

【従来の技術】シリコン基板上に作成される拡散抵抗、ポリシリコン薄膜抵抗等の L S I 内部の抵抗は、抵抗値の絶対精度のばらつきが大きいために、該抵抗を用いたアナログ回路の特性も同様にばらつく。このため、抵抗値が大きくばらついても、アナログ回路の特性が要求規格を満足するように、過大な余裕を持つ冗長な回路構成が用いられていた。

【0003】近時、アナログ回路を搭載した L S I においても、低コスト化とアナログ特性のばらつきの低減が要求されている。

【0004】この要請に応えるために、例えば特開平 09-266416 号公報には、ツェナーダイオードを用いて抵抗値のトリミングを行う、FET のバイアス回路が提案されている。このバイアス回路は、例えば図 8 に示すように、抵抗値トリミング用のツェナーダイオード D1～D5 と、抵抗ストリング R13 から R19、と FET 46 と抵抗 R20 を備えて構成されている。

【0005】I C 製造工程において、ウェハに I C を作り込んだ時点で、各 I C の電気的特性の検査を行う時において、L S I 内部の抵抗ストリング 47 での電流値を測定し、ツェナーダイオードを破壊して短絡するか否かによって、抵抗のばらつきを補正する。このバイアス回路では、L S I 内部にツェナーダイオードを破壊するためのパッド 48～52 と、ツェナーダイオード D1～D5 とを用意する必要がある。

【0006】

【発明が解決しようとする課題】上記したように、特開平 09-266416 号公報に記載される回路は、L S I 内部にツェナーダイオードを破壊するためのパッド 48～52 と、ツェナーダイオード D1～D5 とをチップ内に備える必要があり、チップ面積が大きくなる、とい

う問題点がある。

【0007】また、IC製造工程において、ツェナーダイオードを破壊するための時間が必要とされる、という問題点もある。

【0008】したがって本発明は、上記問題点に鑑みてなされたものであって、その目的は、その主たる目的は、チップ面積を削減し、抵抗ばらつき補正のためにツェナーダイオードを破壊することを不要とした、抵抗ばらつきの補正を行う回路及び方法を提供することにある。

【0009】

【課題を解決するための手段】前記目的を達成する本発明は、アナログ回路を含む半導体装置において、半導体装置内部基準抵抗と、半導体装置外部基準抵抗とを用いて前記半導体装置内部抵抗の抵抗値のばらつき量を検出し、検出された前記半導体装置内部抵抗の抵抗値のばらつき量に基づき、前記アナログ回路に含まれる半導体装置内部の抵抗の抵抗値を自動補正するように構成したものである。

【0010】本発明は、基準電圧入力端子に一端が接続され他端が外部端子に接続されたLSI内部基準抵抗(R1)と、前記外部端子とグランド電位間に外付けで接続されるLSI外部基準抵抗(R2)と、前記基準電圧入力端子に入力される基準電圧(Vref)を入力し入力されるデジタルコード信号に応じた電圧を出力するデジタル・アナログ変換器(DA変換器)と、前記LSI内部基準抵抗と前記LSI外部基準抵抗により前記基準電圧を分圧した基準比較電圧(Vinn)と、前記DA変換器の出力電圧(Vinp)を入力しその大小を比較するコンパレータと、前記コンパレータから出力される比較結果信号を入力し、該比較結果信号が一の値から他の値に反転するまでの間に入力されるクロック信号をカウントするカウンタ回路と、前記カウンタ回路のカウント値を入力してデコードした信号を前記DA変換器に出力する第1のデコード回路と、前記カウンタ回路のカウント値と、前記コンパレータから出力される比較結果信号とを入力し、前記DA変換器の出力電圧(Vinp)が前記分圧電圧(Vinn)以下になった時点で、前記カウント値を記憶保持するレジスタ回路と、前記レジスタ回路の出力を入力してデコードする第2のデコード回路と、前記第2のデコード回路の出力信号で前記スイッチがオン・オフ制御され、オンするスイッチによりタップを選択して抵抗値が可変される抵抗ストリングと、を備え、前記抵抗ストリングの抵抗の絶対値誤差が最も少なくなるタップ位置に接続されるスイッチをオンさせることで、前記抵抗ストリングを含む前記アナログ回路の特性のばらつきを低減するものである。

【0011】

【発明の実施の形態】本発明の実施の形態について説明する。本発明は、その好ましい一実施の形態において、

図1を参照すると、スイッチSW、SW'によりタップを選択して抵抗値が可変される抵抗ストリング回路Ra、Rbに対し、LSI内部の抵抗ばらつき自動補正回路7と抵抗値の基準となるLSI外部の高精度基準抵抗R2とを備えている。

【0012】抵抗ばらつき自動補正回路7は、外付け基準抵抗R2の抵抗値と、LSI内部の基準抵抗R1とを比較し、LSI内部の抵抗のばらつき量を検出し、抵抗ストリング回路Ra、Rbにおいて、抵抗のばらつきを補正する。

【0013】すなわち基準電圧(Vref)の入力端子(10)に一端が接続され他端が外部端子に接続されたLSI内部基準抵抗(R1)と、前記外部端子とグランド電位間に外付けで接続されるLSI外部基準抵抗(R2)と、前記基準電圧入力端子に入力される基準電圧(Vref)として入力し、入力されるデジタル信号(S0～S3)に応じた電圧を出力するデジタル・アナログ(DA)変換器(14)と、LSI内部基準抵抗(R1)と前記LSI外部基準抵抗(R2)により基準電圧(Vref)を分圧した基準比較電圧(Vinn)と、DA変換器(14)の出力電圧(Vinp)を入力しその大小を比較するコンパレータ(16)と、コンパレータ(16)から出力される比較結果信号(15)を入力し、DA変換器(14)の出力電圧(Vinp)が前記基準比較電圧(Vinn)よりも大の間に入力されるクロック信号(11)をカウントするカウンタ回路(13)と、カウンタ回路(13)のカウント値(CO[[1:0]])を入力してデコードした信号(S0～S3)をDA変換器(14)に出力する第1のデコード回路(9)と、カウンタ回路(13)のカウント値と、コンパレータ(16)から出力される比較結果信号(15)とを入力し、前記DA変換器の出力電圧(Vinp)が前記基準比較電圧(Vinn)以下になり、比較結果信号(15)が反転した時点におけるカウント値(CO[2:0])を記憶保持するレジスタ回路(8)と、レジスタ回路(8)の出力(REG[2:0])を入力してデコードする第2のデコード回路(6)と、第2のデコード回路(6)の出力信号でスイッチがオン・オフ制御され、オンするスイッチによりタップを選択して抵抗値が可変される抵抗ストリング(Ra、Rb)と、を備え、抵抗ストリング(Ra、Rb)の抵抗の絶対値誤差が最も少なくなるタップ位置に接続されるスイッチをオンさせることで、前記抵抗ストリングを含むアナログ回路(ローパスフィルタ)の特性のばらつきを低減する。

【0014】本発明においては、デジタル・アナログ変換器(14)が前記基準電圧とグランド電位間に接続され複数の抵抗よりなる抵抗ストリング(R3～R7)よりなり、前記抵抗の接続点のタップに一端が接続され、他端が共通接続されて前記コンパレータ(16)に

御端子には第1のデコーダ回路(9)のデコード出力信号(S0~S3)が入力され、オン・オフ制御される。

【0015】本発明においては、カウンタ回路が、入力検出信号(12)と、コンパレータ(16)から出力される比較結果信号(コンパレータ出力信号15)と、クロックパルス信号(11)を入力としこれらの論理積演算結果を出力する論理回路(24)を備え、入力検出信号(12)がアクティブとなった後、前記比較結果信号(15)がDA変換器(14)の出力電圧(V_{inp})が前記基準比較電圧(V_{inn})よりも大の状態を示す値から反転するまでの間、クロックパルス信号(11)を1コードずつカウントアップする構成とされている。

【0016】本発明においては、前記アナログ回路が、低域通過型のアクティブフィルタよりなり、カットオフ周波数が前記抵抗ストリングの抵抗と容量値で規定され、LSIの抵抗のばらつきをX%とし、これをY%の精度(但しY<X)で補正する場合、前記デジタル・アナログ変換器の前記抵抗ストリングのタップ数は、 $X/Y+1$ の整数値に設定される。

【0017】本発明は、その好ましい別の実施の形態において、図6に示すように、外部抵抗を使用しているLSIの場合には、LSI内部にセクタ回路(40)を構成し、図7に流れ図として示すように、通常の外部抵抗として使用する場合と、抵抗ばらつき補正回路の外部基準抵抗に使用する場合とを切り替えて、外部抵抗を共用することで外付け抵抗を1個減らし、LSIのピン数を1ピン減らすことができる。

【0018】すなわち、本発明の実施の形態においては、図1のLSI外部基準抵抗(R2)を、第1、第2の外部端子間に接続され、アナログ回路で使用される外付け抵抗(R13)と共用し、通常動作時には、前記第1、第2の外部端子を内部アナログ回路の入力端に接続する第1、第2のスイッチ(SW1、SW2)と、ばらつき補正時には、前記LSI内部基準抵抗(R1)とコンパレータ(16)の入力端との接続点を、外付け抵抗(R13)が接続される第1の外部端子に接続するように切り替える第3のスイッチ(SW3)と、ばらつき補正時に前記第2の外部端子をグラウンド電位に接続する、第4のスイッチ(SW4)とを備えたセクタ回路(40)を備える。

【0019】本発明の実施の形態において、アナログ回路が、第1、第2の外部端子に接続される第1の外付け抵抗(R13)と、入力信号と前記第2の外部端子間に接続される第2の外付け抵抗(R14)と、前記第2の入力端子が反転入力端に接続され、非反転入力端がグラウンド電位とされ、出力端を前記第1の外部端子に接続したアンプ(44)と、前記アンプ(44)の出力電圧をアナログ・デジタル変換するAD変換器(43)と、を備えた音声コーデック送話系回路(45)よりなり、前記抵抗ストリング(38)が、前記第2のデコーダ回

路(6)の出力により、スイッチがオン・オフ制御され、オンに設定されたスイッチのタップから、前記基準電圧(V_{ref})が印加され、抵抗に流れる電流を、カレントミラー回路を介して出力電流として取り出して、前記アンプ(44)及び前記AD変換器(43)に供給する定電流源回路(35)とを備える。

【0020】

【実施例】上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して以下に説明する。図1は、本発明の一実施例の構成を示す図であり、ローパスフィルタ回路1に本発明に係る抵抗ばらつき自動補正回路を適用した回路構成を示している。

【0021】図1を参照すると、ローパスフィルタ回路1は、オペアンプ5と、容量C_a、C_bと、抵抗3と、スイッチのオン・オフで抵抗値が可変できる抵抗ストリング回路R_a、R_bと、デコーダ回路6と、を備えている。

【0022】抵抗ばらつき自動補正回路7は、LSI内部の抵抗ストリングR_a、R_bの抵抗値のばらつきを自動補正して、ローパスフィルタ回路1のカットオフ周波数のばらつきを低減させる。

【0023】抵抗ばらつき自動補正回路7は、LSI内部抵抗による抵抗ストリング型DA(デジタル・アナログ変換)部14と、LSI内部基準抵抗R1とLSI外部基準抵抗R2による抵抗ストリング17と、1コードずつアップカウントするカウンタ回路13と、カウント値信号CO0、CO1(CO[1:0])をデコードするデコーダ回路9と、レジスタ回路8と、デコーダ回路6と、抵抗ストリング回路R_a、R_bと、コンパレータ16により構成される。このうち、抵抗ストリング回路R_a、R_b、デコーダ回路6は、ローパスフィルタ回路1にも属し、容量C_a、C_bとともにフィルタ特性を規定する。

【0024】LSI内部抵抗による抵抗ストリング型DA部14は、両端が基準電圧10で印加されている4個のタップをもった5個の抵抗R3~R7と、抵抗R3乃至R4の抵抗の接続点(タップ)に一端が接続され、他端が共通接続されてコンパレータ16に入力され、制御端子がそれぞれデコーダ回路9からの出力信号S0~S3に接続されオン・オフ制御される4個のスイッチSW11~SW14を備えて構成されている。

【0025】図2は、デコーダ回路9の構成の一例を示す図である。図2を参照すると、4個のNOR(否定論理和)演算を行う論理回路(NORゲート)18~21と、2個のインバータ回路22、23を備え、NORゲート18には入力信号CO1とCO0、NORゲート19には入力信号CO1とCO0の反転信号、NORゲート20には入力信号CO1の反転信号とCO0、NORゲート21には入力信号CO1の反転信号とCO0の反

転信号が入力され、NORゲート18～21の出力からデコード信号S0～S3を得る。

【0026】図3は、カウンタ回路13の回路構成の一例を示す図である。図3を参照すると、3個の縦続形態に接続されたトグルフリップフロップ回路25～27と、入力検出信号12とクロックパルス信号11とコンパレータ出力信号15を入力としAND（論理積）演算を行う論理回路（3入力ANDゲート）24と、を備え、3入力ANDゲート24の出力が初段のトグルフリップフロップ回路25の入力端子Tに入力されている。入力検出信号12が入力された後、コンパレータ出力信号15がLowレベルに変化するまでの期間、クロックパルス信号11を1コードずつアップカウントし、3ビットのカウント値信号CO0、CO1、CO2を出力する。

【0027】図4は、レジスタ回路8の構成の一例を示す図である。図4を参照すると、レジスタ回路8は、カウント値信号CO0、CO1、CO2をデータ入力端子Dに入力するD型フリップフロップ回路28～30と、コンパレータ出力信号15を反転するインバータ回路33と、カウント値信号CO2とインバータ回路33の出力を入力としOR演算を行う論理回路（NORゲート）32と、NORゲート32の出力をデータ入力端子Dに入力し、クロックパルス信号11をインバータ34で反転した信号をクロック入力端子Cに入力するD型フリップフロップ回路31と、を備え、D型フリップフロップ回路31の出力端子Qから出力される信号が、D型フリップフロップ回路28～30のクロック入力端子Cに共通に入力されている。コンパレータ出力信号15が変化したとき、オーバーフローが起きた場合に3ビットのデコード信号を、各フリップフロップ回路28～30が記憶保持する。

【0028】図1のオペアンプ5と、コンパレータ16は、周知の回路が用いられる。

【0029】抵抗ストリング回路Ra、Rbのタップ数と、抵抗ストリング型DA部14のタップ数と、カウンタ回路13のトグルフリップフロップの数と、デコード回路9のコード数と、レジスタ回路8のコード数は、図面に示した構成に限定されるものでなく、抵抗ばらつき補正の必要精度に従って適宜変更される。

【0030】また、抵抗ストリング型DA部14は、抵抗ストリング型の構成に制約されるものではなく、基準電圧に基づき、デジタル・アナログ変換できるDA回路であれば、任意の回路構成であってよい。

【0031】本発明の一実施例の動作について説明する。ローパスフィルタ回路1に入力されたアナログ入力信号2のうち、カットオフ周波数成分未満の周波数の信号は、1倍でアナログ出力信号4として出力され、高周波数成分は、-20dB/decで減衰されアナログ出力信号4として出力される。

【0032】1倍で出力される周波数帯域と、-20dB/decで減衰されて出力される周波数帯域と、の境目となる周波数を、一般に、カットオフ周波数といい、このカットオフ周波数は、Ca、Cbの容量値と、Ra、Rbの抵抗値の絶対値で決定される。

【0033】図1のローパスフィルタ回路1におけるカットオフ周波数f0は、次式（1）で与えられる。

【0034】

$$f_0 = 1 / (2\pi \sqrt{CaCbRaRb}) \quad \dots (1)$$

【0035】通常、LSI内部の抵抗値は大きなばらつきを持つので、上式（1）からも明かなように、抵抗のばらつき分カットオフ周波数f0もばらつく。

【0036】この回路構成に対し、抵抗ばらつき自動補正回路7は、以下に説明するように、LSI内部の抵抗値Ra、Rbのばらつきを自動補正して、ローパスフィルタ回路1のカットオフ周波数f0のばらつきを低減させる。

【0037】抵抗ばらつき自動補正回路7の動作について説明する。

【0038】LSI内部基準抵抗R1は一端が基準電圧10の入力端子に接続されており、他端が外部端子に接続され、該外部端子とグランド電位間には、LSI外部基準抵抗R2が接続されており、LSI内部基準抵抗R1とLSI外部基準抵抗R2による抵抗ストリング17は、基準電圧10とが印加されており、LSI内部基準抵抗R1とLSI外部基準抵抗R2との接続点には、基準電圧10を分圧した基準比較電圧Vinnが出力される。この基準比較電圧Vinnの電圧値は、LSI内部基準抵抗R1と、LSI外部基準抵抗R2と、基準電圧Vrefから、次式（2）で与えられる。

【0039】

$$V_{inn} = V_{ref} \times R_2 / (R_1 + R_2) \quad \dots (2)$$

【0040】LSI内部基準抵抗R1とLSI外部基準抵抗R2により分圧された基準比較電圧Vinnは、上式（2）に示すように、LSI内部基準抵抗R1のばらつきに従って変化する。

【0041】したがって、基準比較電圧Vinnの電圧値を検出することで、上式（2）の関係から、LSI内部基準抵抗R1の抵抗値を検出することができる。電圧値の検出は、抵抗ストリング型DA部14からのアナログ出力電圧Vinpと基準比較電圧Vinnを入力して電圧比較するコンパレータ16で行う。

【0042】通常、LSI内部抵抗の相対値誤差は、絶対値誤差と比較して十分に小さい値である。

【0043】LSI内部抵抗による抵抗ストリング型DA部14における、入力コードに対するアナログ信号出力Vinpは、LSI内部抵抗値のばらつきによらず、常に一定である。

【0044】抵抗ストリング型DA部14のアナログ信号出力Vinpと、基準比較電圧Vinnをコンパレータ16

により比較することで、基準比較電圧 V_{inn} の電圧値を検出する。

【0045】LSI内部の抵抗のばらつきが、+30%から-30%までばらつく条件で、ローパスフィルタ1のカットオフ周波数の精度を、20%ステップで補正する場合、抵抗ストリング型DA部14における必要なタップ数 n は次式(3)より、4タップとなる。

【0046】

$$n = 60\% / 20\% + 1 = 4 \text{ タップ} \quad \dots (3)$$

【0047】LSI内部基準抵抗 R_1 とLSI外部基準抵抗 R_2 を100K Ω とし、抵抗ストリング型DA部14における抵抗ストリング $R_3 \sim R_7$ の抵抗値の和 $R_3 + R_4 + R_5 + R_6 + R_7$ を100K Ω とすると、 R_3 、 R_4 、 R_5 、 R_6 、 R_7 の抵抗値は、以下の連立方程式(4)～(8)より求めることができる。

【0048】

$$R_3 + R_4 + R_5 + R_6 + R_7 = 100K\Omega \quad \dots (4)$$

$$(R_3) / (R_4 + R_5 + R_6 + R_7) = 0.7 \quad \dots (5)$$

$$(R_3 + R_4) / (R_5 + R_6 + R_7) = 0.9 \quad \dots (6)$$

$$(R_3 + R_4 + R_5) / (R_6 + R_7) = 1.1 \quad \dots (7)$$

$$(R_3 + R_4 + R_5 + R_6) / (R_7) = 1.3 \quad \dots (8)$$

【0049】 R_3 、 R_4 、 R_5 、 R_6 、 R_7 で構成される抵抗ストリング型DA部14は4個のタップに接続されたスイッチを順次オンすることで、図5のタイミング図に示すように、DAアナログ信号 V_{inpl} は全てのタップ電位を順次出力する。

【0050】図5の時刻 T_1 において、入力検出信号12が入力された後、クロックパルス信号11をカウンタ回路13がクロックパルスをカウント開始する。

【0051】3ビットのカウント値信号出力 CO_0 、 CO_1 、 CO_2 は、クロックパルス信号11に同期して出力され、デコーダ回路9に入力される。

【0052】この3ビットカウント値の下位2ビット信号は、デコーダ回路9により2ビットのバイナリ・データに分割され、4個のデコード信号 $S_0 \sim S_3$ を得る。

【0053】そして、このデコード信号 $S_0 \sim S_3$ により、入力コード CO_0 、 CO_1 に対応するタップ位置のスイッチだけがONとなり、DAアナログ信号 V_{inpl} として出力される。

【0054】コンパレータ16は、DAアナログ信号出力電圧値 V_{inpl} と基準比較電圧 V_{inn} の電圧値を比較し、 $V_{inpl} > V_{inn}$ の関係にある場合には、コンパレータ出力信号15はHighレベルとなり、 $V_{inpl} < V_{inn}$ の関係にある場合にはコンパレータ出力信号15はLowレベルとなる。

【0055】図5に示すように、時刻 T_2 において、コンパレータ出力信号15がHighレベルからLowレベルに変化したときのDAアナログ信号出力電圧値 V_{inpl} が基準比較電圧 V_{inn} と等しい電圧であり、ここで求めた基準比較電圧 V_{inn} と、LSI外部基準抵抗 R_2 と、上式

(2)の関係式から、LSI内部基準抵抗 R_1 の抵抗のばらつきが検出されたことになる。

【0056】図5の時刻 T_3 において、コンパレータ出力信号15が反転したときのコードを、LSI内部抵抗のばらつきコードとしてレジスタ回路8に出力される。

【0057】レジスタ回路8は、入力コード CO_0 、 CO_1 、 CO_2 を記憶して、LSI内部抵抗のばらつきコード(REG[2:0])として出力する。

【0058】コンパレータ出力信号15が反転しなかった場合にはオーバーフローとなり、 CO_0 、 CO_1 、 CO_2 が1桁アップカウントされる。

【0059】レジスタ回路8から出力される3ビットの抵抗のばらつきコードは、ローパスフィルタ回路1を構成している抵抗ストリング部のデコーダ回路6に入力され、LSI内部抵抗のばらつきコードREG0、REG1、REG2から、抵抗の絶対値誤差が最も少なくなるタップ位置に接続されるスイッチをONさせることで、ローパスフィルタ回路1のカットオフ周波数のばらつきを低減することができる。

【0060】本実施例では、抵抗ばらつきの補正を-30%から+30%まで20%ステップで行うので、ローパスフィルタ回路1の抵抗ストリング部 R_a 、 R_b を構成している各抵抗の抵抗比は、 $R_8:R_9:R_{10}:R_{11}:R_{12}=7:2:1:1:2$ の抵抗となる。

【0061】抵抗ストリング部 R_a 、 R_b には、それぞれ5個のタップに一端が接続され、他端が共通接続され、制御端子が、デコーダ回路6に出力信号に接続されている5個のスイッチが接続されており、LSI内部抵抗のばらつきコードに対応するスイッチ1個がONする。

【0062】ローパスフィルタ回路1の抵抗ストリング部 R_a 、 R_b の抵抗値のばらつきが補正前の-30%から+30%までに対し抵抗の補正後にはばらつきが-10%から+10%までの範囲内に補正される。

【0063】抵抗の精度がさらに必要な場合には本実施例の20%ステップを必要精度分まで細かく設定することで実現できる。

【0064】次に、本発明の他の実施例について説明する。図6は、本発明の第2の実施例の構成を示す図である。図6を参照すると、携帯電話用の音声コーデック(CODEC)LSIの送話系ブロック45は、マイクアンプ回路44と、電圧利得調整用の外付け抵抗40と、ADC(アナログ/デジタル変換器)回路43と、定電流源回路35とを備えている。

【0065】定電流源回路35は、オペアンプ37と、PチャネルMOSFET P1、P2と、定電流源回路用基準抵抗ストリング回路38と、を備えて構成される。ソースが電源に接続されドレインがオペアンプ37の反転入力端に接続され、ゲートがオペアンプ37の出

力端に接続されているFET P1と、ソースが電源に接続されゲートがFET P1のゲートに共通接続されたFET P2とはカレントミラー回路を構成している。

【0066】この定電流源回路35に入力される基準電圧10は、オペアンプ37の非反転入力端に入力される。

【0067】定電流源回路用基準抵抗ストリング38の抵抗の接続点に一端が接続され、他端が共通接続されてFET P1のドレインに接続され、オペアンプ37反転の入力端に接続され、制御端子がデコード回路6の出力信号に接続されているスイッチを備え、k番目のタップに接続されるスイッチがONした場合に、該タップとグランド間のk個の抵抗には、オペアンプ37により、基準電圧10が印加される（オペアンプ36の反転入力端の電位は基準電位10と等しくなる）。

【0068】したがって、定電流源回路用基準抵抗ストリング38に流れる電流は、ONしているスイッチの接続されているタップからグランドまでの抵抗値と、基準電圧10により決定される。この電流がカレントミラー回路36の入力端（FET P1のドレイン）に入力され、カレントミラー回路36の出力端（FET P2のドレイン）から定電流が出力される。

【0069】定電流源回路35からの定電流は、マイクアンプ回路44と、ADC回路43に供給され、これらの回路は、この定電流を基準電流として動作する。

【0070】電圧利得調整用の外付け抵抗R13の両端は、外部端子に接続され、セレクト回路41に接続される。

【0071】抵抗ばらつき自動補正回路39は、LSI内部の抵抗ばらつきコードを定電流源回路用基準抵抗ストリング回路39に出力し、定電流源回路用基準抵抗ストリング回路38では、抵抗ばらつきコードから抵抗の絶対値誤差が最も少なくなるタップ位置に接続されるスイッチをONさせる。

【0072】図7は、本発明の第2の実施例の動作を説明するための流れ図である。図6及び図7を参照して、本発明の第2の実施例の動作について説明する。

【0073】音声コーデックLSIの送話系ブロック45は、携帯電話のマイクからのアナログ入力信号42を、電圧利得調整用外付け抵抗40と、マイクアンプ回路44により増幅してADC回路43で音声信号をデジタル信号に変換する。携帯電話用の音声コーデックLSIには、電圧利得調整用の外付け抵抗40は、必須の部品である。

【0074】抵抗ばらつき自動補正回路39がLSI内部抵抗のばらつきを検出して出力されるばらつきコードが、定電流源回路用基準抵抗ストリング38のデコード回路6に入力され、LSI内部抵抗のばらつきコードから抵抗の絶対値誤差が最も少なくなるタップ位置に接続

されるスイッチをONさせることで、抵抗値のばらつきを補正する。

【0075】セレクト回路41は4個のスイッチSW1～SW4から構成されており、抵抗ばらつきの自動検出時（図7のステップA1からA10）には、セレクト回路41のスイッチSW3とSW4がONして（図7のステップA2）、電圧利得調整用の外付け抵抗40の抵抗R13が、抵抗ばらつき自動補正用のLSI外部基準抵抗となる。

10 【0076】一方、携帯電話用の音声コーデックLSIの送話系ブロックとして使用する時（図7のステップA12）には、セレクト回路41のスイッチSW1とSW2がONして、携帯電話のマイクからのアナログ入力信号42を電圧利得調整用外付け抵抗40とマイクアンプ回路44により増幅する通常の回路構成になる。

【0077】本発明の第2の実施例では、電圧利得調整用の外付け抵抗40を抵抗ばらつき補正用のLSI外部基準抵抗と共用しており、LSI外部基準抵抗となる外付け抵抗部品を1個減らせることと、LSIのピン数を1ピン減らしている。すなわち、携帯電話用の音声コーデックLSIに必須部品である電圧利得調整用の外付け抵抗40をセレクト回路41を使用することで、LSI外部基準抵抗と共用できるためである。

【0078】なお、本発明の第2の実施例において、LSI外部基準抵抗に使用する外付け抵抗は電圧利得調整用の外付け抵抗40以外の外付け抵抗を用いてもよい。

【0079】

【発明の効果】以上説明したように、本発明によれば下記記載の効果を奏する。

30 【0080】本発明の第1の効果は、チップ面積を減少することができる、ということである。

【0081】その理由は、本発明においては、チップ内部にヒューズやツェナーダイオード及びトリミング用のパッドを設けることを不要とし、チップ面積を削減可能としているためである。

【0082】本発明の第2の効果は、IC製造工程での補正を行う時間をなくすることができる、ということである。

40 【0083】その理由は、本発明においては、抵抗ばらつきの補正をするためにツェナーダイオードやヒューズを破壊する時間が不要とされている、ためである。

【0084】本発明の第3の効果は、外付け抵抗部品を1個減らすことで、LSIのピン数を1つ減らすことができる、ということである。

【0085】その理由は、本発明においては、携帯電話用の音声コーデックLSIに必須の部品であるマイクアンプ回路用の電圧利得調整用の外付け抵抗を、セレクト回路を使用することで、抵抗ばらつき自動補正回路用のLSI外部基準抵抗と共用しているため、通常、定電流源回路で使用する外付け基準抵抗をLSI内部に実現で

きるためである。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示す図である。

【図2】本発明の一実施例におけるデコーダ回路9の構成を示す図である。

【図3】本発明の一実施例におけるカウンタ回路13の構成を示す図である。

【図4】本発明の一実施例におけるレジスタ回路8の構成を示す図である。

【図5】本発明の一実施例の動作を説明するためのタイミング図である。

【図6】本発明の他の実施例の構成を示す図である。

【図7】本発明の他の実施例の動作を説明するための流れ図である。

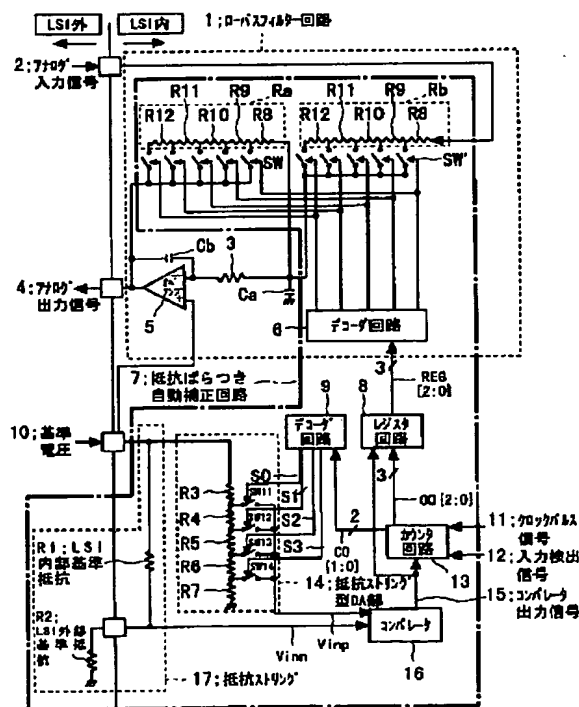
【図8】従来の抵抗ばらつき補正回路の構成を示す図である。

【符号の説明】

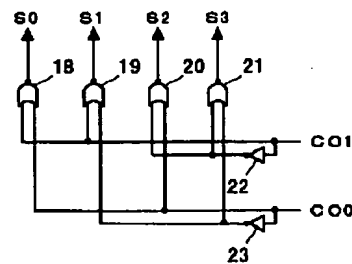
- 1 ローパスフィルター回路
- 2 アナログ入力信号
- 3 抵抗
- 4 アナログ出力信号
- 5 オペアンプ
- 6 デコーダ回路
- 7 抵抗ばらつき自動補正回路
- 8 レジスタ回路
- 9 デコーダ回路

- 10 基準電圧
- 11 クロックパルス信号
- 12 入力検出信号
- 13 カウンタ回路
- 14 抵抗ストリング型DA回路
- 15 コンパレータ出力信号
- 16 コンパレータ
- 17 抵抗ストリング
- 35 定電流回路
- 36 カレントミラー回路
- 37 オペアンプ
- 38 定電流回路用基準抵抗ストリング回路
- 39 抵抗ばらつき自動補正回路
- 40 電圧利得調整用外付け抵抗
- 41 セレクタ回路
- 43 ADC
- 44 マイクアンプ回路
- 45 音声コーデック送話系ブロック
- Ca、Cb 容量
- 20 P1、P2 PチャネルMOSトランジスタ(FET)
- Ra 抵抗ストリング
- Rb 抵抗ストリング
- R1 LSI内部基準抵抗
- R2 LSI外部基準抵抗
- R13、R14 外付け抵抗
- SW1～SW4 スイッチ

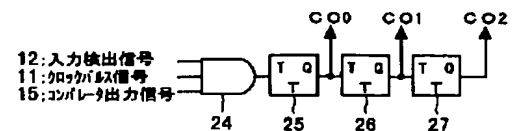
【図1】



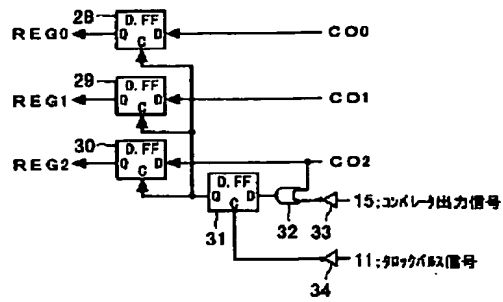
【図2】



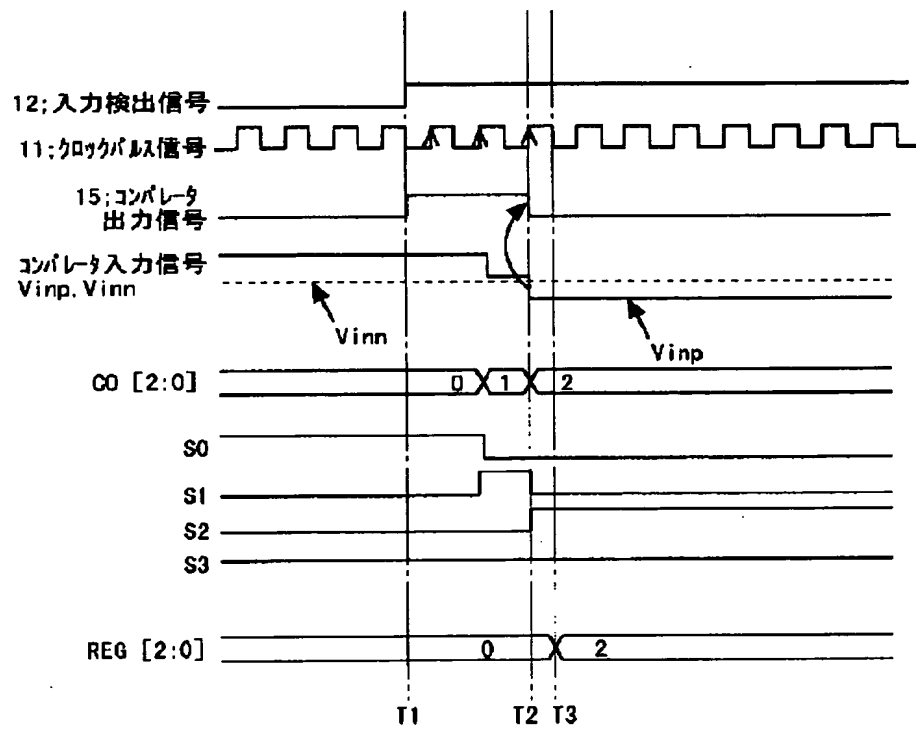
【図3】



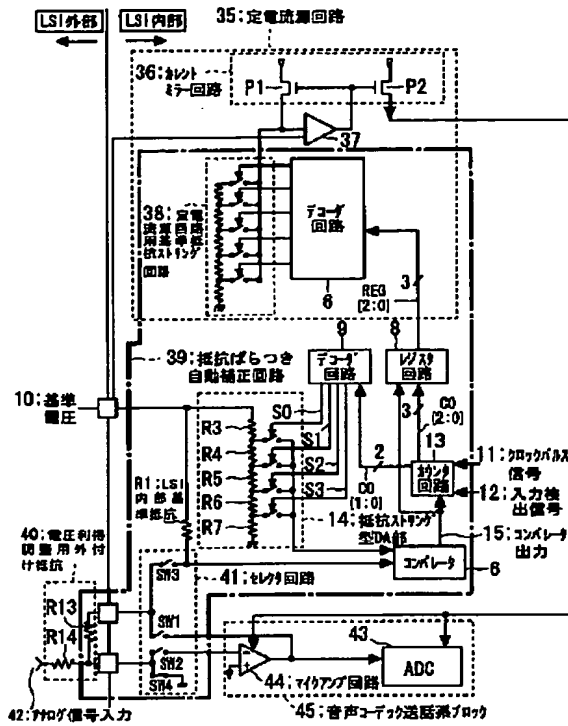
【図 4】



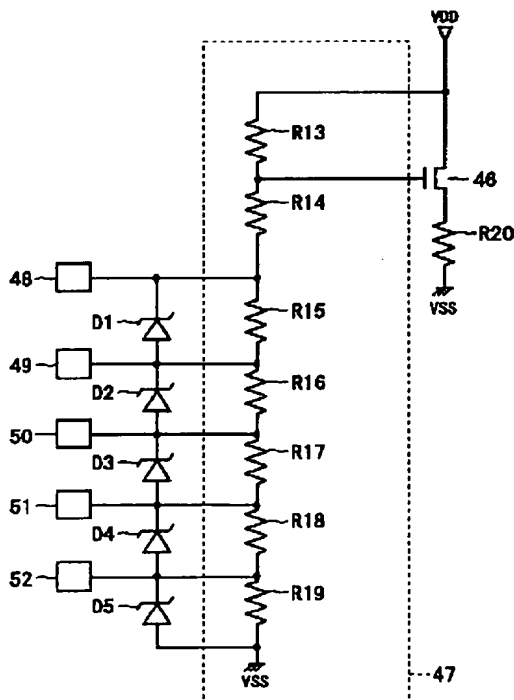
【図 5】



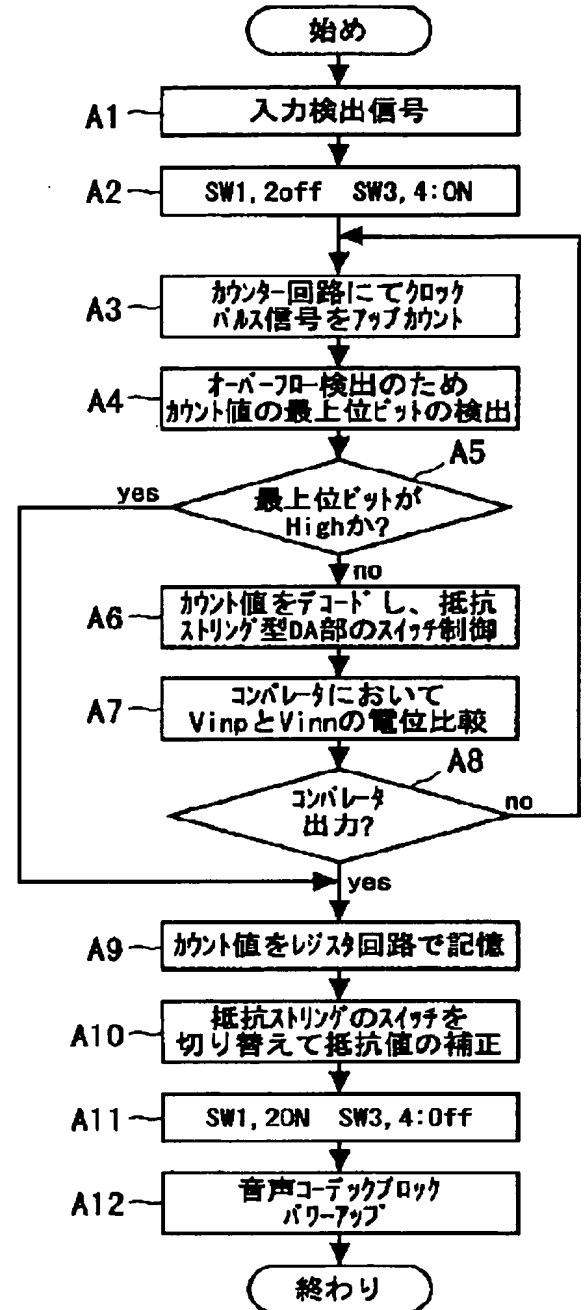
【図6】



【図8】



【図7】



フロントページの続き

Fターム(参考) 5F038 AV02 AV13 BE07 DF07 EZ20
5J022 AB05 AC05 BA06 CA07 CB02
CE05 CF01 CG01
5J098 AA03 AA11 AB02 AB13 AB16
AB22 AB23 AB26 AC02 AC19
AD18 AD29 CA02 CB03